

(19)



Europäisches Patentamt  
European Patent Office  
Office européen des brevets

(11)



EP 0 901 227 A1

(12)

## DEMANDE DE BREVET EUROPEEN

(43) Date de publication:  
10.03.1999 Bulletin 1999/10

(51) Int Cl. 6: H03K 5/13

(21) Numéro de dépôt: 98402152.7

(22) Date de dépôt: 31.08.1998

(84) Etats contractants désignés:  
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE  
Etats d'extension désignés:  
AL LT LV MK RO SI

(30) Priorité: 04.09.1997 FR 9711022

(71) Demandeur: STMicroelectronics SA  
94250 Gentilly Cedex (FR)

(72) Inventeur: Marbot, Roland  
75116 Paris (FR)

(74) Mandataire: Ballot, Paul Denis Jacques et al  
Cabinet Ballot-Schmit,  
7, rue Le Sueur  
75116 Paris (FR)

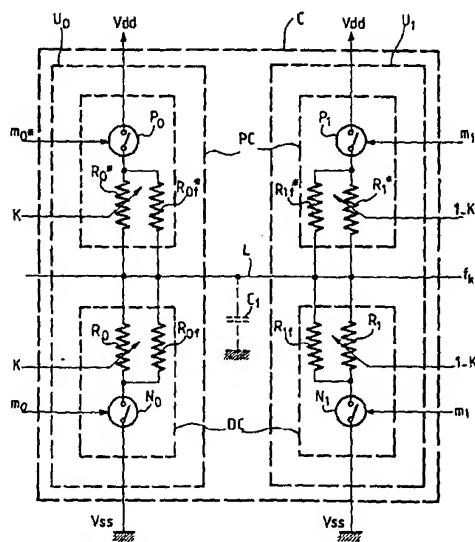
### (54) Circuit à retard variable

(57) Le circuit à retard comporte un circuit primaire à retard fixe recevant en entrée un signal d'entrée et fournissant deux signaux intermédiaires présentant entre eux un retard. Il comprend un circuit de combinaison (C), comprenant deux modules (U0) et (U1), qui fournit un signal de combinaison ( $f_k$ ) résultant de l'addition avec pondération et effet d'intégration des signaux intermédiaires ( $m_0, m_1$ ) et de leur conjugué ( $m_0^*, m_1^*$ ). Chaque module (U0, U1) comporte un circuit de décharge (DC) et un circuit de charge (PC) comportant chacun des

moyens interrupteurs ( $P_0, N_0, P_1, N_1$ ) contrôlant la connexion entre une ligne commune (L) et respectivement un premier et un second potentiel d'alimentation ( $V_{ss}, V_{dd}$ ) d'une part par l'intermédiaire d'une résistance variable ( $R_0, R_0^*, R_1, R_1^*$ ), d'autre part par une résistance non variable ( $R_{0f}, R_{0f}^*, R_{1f}, R_{1f}^*$ ) assurant ainsi la participation permanente des deux modules (U0 et U1) à la charge ou la décharge d'un condensateur ( $C_1$ ).

Ce circuit à retard est particulièrement utile dans les circuits à technologie CMOS.

FIG.14



**Description**

[0001] L'invention concerne des circuits à retard variable, le retard étant réglable en fonction d'une consigne de retard. La consigne de retard peut prendre la forme d'une grandeur numérique.

[0002] Les applications des circuits à retard variable sont nombreuses. Ces circuits à retard sont par exemple utilisés pour des ajustements de phase entre deux signaux logiques. Dans ce cas, un des deux signaux est appliqué à l'entrée d'un circuit à retard. Le réglage du retard du circuit à retard est alors commandé par la mesure du déphasage à compenser entre ces deux signaux logiques.

[0003] Un asservissement de phase peut être réalisé au moyen d'un signal de réglage analogique ou numérique. La solution numérique est souvent préférée car elle est moins sensible aux perturbations et aux atténuations dues à la transmission des signaux. De plus, dans le cas d'une réalisation sous forme de circuit intégré, elle est moins sensible aux dispersions de fabrication.

[0004] Une première solution connue pour réaliser un circuit à retard à commande numérique consiste à utiliser un ensemble de portes élémentaires. Par exemple du type inverseur. L'ensemble des portes est associé à un système d'interconnexion, commandé numériquement, et permettant le branchement en cascade d'un nombre variable de portes élémentaires. L'application de ce type de circuit est cependant limitée aux cas où il n'est pas nécessaire d'obtenir une précision de réglage du retard inférieure au retard intrinsèque de la porte élémentaire.

[0005] Une autre solution connue consiste à utiliser un circuit du type résistance-capacité où la résistance est constituée de plusieurs résistances élémentaires, branchées sélectivement en parallèle en fonction de la commande numérique. Dans ce cas, le retard est fixé par la constante de temps du circuit. Si toutes les résistances élémentaires ont la même valeur, le retard obtenu est alors inversement proportionnel au nombre de résistances sélectionnées. Or, pour obtenir une précision de réglage constante sur toute la plage de réglage, il est nécessaire que la fonction liant le retard à la grandeur numérique de réglage s'approche le plus possible d'une fonction linéaire.

[0006] La réponse obtenue par la solution précédente est donc très éloignée de la relation linéaire puisqu'elle est de type hyperbolique. Pour se rapprocher de la réponse linéaire, il est alors nécessaire de dimensionner les résistances élémentaires à des valeurs bien précises et toutes différentes entre elles. Ce résultat est cependant très difficile à obtenir dans le cas d'une réalisation intégrée. D'autre part, il faudrait prévoir un tel circuit pour chaque signal que l'on veut ajuster en phase.

[0007] Si par exemple le circuit de retard est destiné à être utilisé dans un circuit verrouillé en phase du type décrit dans la demande de brevet européen publiée

sous le numéro 0 441 684, déposée le 30 janvier 1991 et intitulé "Circuit verrouillé en phase et multiplicateur de fréquence en résultant", la solution précédente n'est pas satisfaisante à cause de son encombrement et de sa sensibilité aux dispersions de fabrication.

[0008] L'invention a pour but de proposer un circuit à retard permettant un réglage précis, tout en assurant avec une approximation suffisante une réponse linéaire du retard en fonction de la consigne de retard, sur un intervalle de temps important, afin de s'approcher d'une précision de réglage constante.

[0009] Le brevet français publié sous le numéro 2 690 022 intitulé "Circuit à retard variable" présente un circuit à retard variable assurant une réponse linéaire du retard en fonction de la consigne de retard. Mais l'amplitude de la plage de retard qu'il procure n'est plus technologiquement satisfaisante.

[0010] En réponse à ce problème, un autre brevet publié en France sous le numéro 2 689 339 intitulé "Procédé et dispositif de réglage de retard à plusieurs gammes" couvre le concept de multi-plages. Cependant, des problèmes de linéarité du retard en fonction de la consigne de retard sont observés dans la pratique.

[0011] Le circuit de ce brevet a pour objet un circuit à retard pour fournir un signal de sortie présentant un retard par rapport à un signal d'entrée. Le retard est réglable en fonction d'une consigne de retard. Le circuit à retard comporte un circuit primaire, un circuit de combinaison et un circuit de mise en forme. Le circuit primaire reçoit le signal d'entrée et fournit deux signaux intermédiaires présentant entre eux un retard fixe. Le circuit de combinaison a deux entrées et comporte une entrée de commande recevant une grandeur de commande représentative de la consigne.

[0012] Les signaux intermédiaires sont appliqués aux deux entrées du circuit de combinaison. Le circuit de combinaison fournit en sortie un signal de combinaison résultant d'une superposition avec une pondération et un effet d'intégration des signaux intermédiaires appliqués sur ses entrées. La pondération consiste à pondérer par un coefficient de pondération chacun des signaux en entrée du circuit de combinaison. Les valeurs des coefficients de pondération sont fonction de la grandeur de commande.

[0013] Le signal de combinaison fourni par le circuit de combinaison est appliqué à l'entrée du circuit de mise en forme. Le circuit de mise en forme présente un effet de seuil. Le circuit de mise en forme produit un signal de déclenchement, le signal de sortie, lorsque le signal de combinaison, par effet d'intégration, atteint un seuil déterminé.

[0014] Ainsi, le retard effectif du signal de sortie par rapport au signal d'entrée est dépendant du niveau du signal de combinaison. Il est souhaitable que les amplitudes maximum et minimum du signal de combinaison soient indépendantes de la consigne de retard. Dans ce but, la somme des deux coefficients de pondération est constante.

[0015] En pratique, l'intégration dans le circuit de combinaison est produite par un intégrateur ou un circuit à constante de temps présentant toujours un effet de saturation définissant les niveaux extrêmes du signal de combinaison.

[0016] Un temps de transition est défini comme l'intervalle de temps pendant lequel le signal de combinaison varie selon une fonction linéaire ou quasi-linéaire lorsqu'un des coefficients de pondération associés aux signaux intermédiaires est nul.

[0017] Le fait d'imposer un retard fixe inférieur au temps de transition assure que le retard du signal de sortie par rapport au signal d'entrée ne présente pas de discontinuité en fonction des coefficients de pondération. Pour que la variation du retard en fonction de la consigne de retard varie sur toute la plage de réglage selon une fonction pratiquement linéaire de la consigne, le circuit de combinaison et/ou le circuit primaire à retard fixe pourront être dimensionnés de façon à ce que le retard fixe soit égal à la moitié du temps de transition.

[0018] C'est cette contrainte liant le retard fixe et le temps de transition qui empêche d'élargir l'amplitude de la plage de retard à partir du circuit décrit dans le brevet 2 690 022 mentionné ci-dessus. En effet, la plage de retard est définie par le circuit à retard fixe. Or si on augmente ce retard fixe, on ne répond plus à la condition imposant un retard fixe égal à la moitié du temps de transition. Cette condition assure la linéarité du retard du signal de sortie par rapport à la consigne d'entrée. Pour résoudre ce problème, dans le brevet 2 689 339, on modifie le circuit primaire. On y réalise un jeu de circuit de retards en cascade. On connecte les sorties de ces circuits de retard en cascade à un multiplexeur. Avec le multiplexeur on sélectionne, à titre de signaux intermédiaires, des couples de signaux possédant entre eux un retard fixe (comme avant) et, ensemble, un retard de base par rapport au signal d'entrée. Dans ce cas, au moment du saut de gamme, on constate des discontinuités technologiques de retard. Si la discontinuité est négative, elle engendre une impossibilité pour l'asservissement de trouver un réglage équilibré à une valeur acceptable. Dans l'invention, on remédie à ce problème en modifiant le circuit de combinaison de façon, en pratique, à ce qu'il ne permette pas d'explorer toute une plage.

[0019] L'invention a donc pour objet un circuit à retard pour fournir un signal de sortie présentant un retard par rapport à un signal d'entrée, le retard étant réglable en fonction d'une consigne de retard, le circuit à retard comportant

- un circuit primaire, recevant le signal d'entrée et fournissant des premier et second signaux intermédiaires présentant entre eux un retard fixe,
- un circuit de combinaison à deux entrées, fournissant en sortie un signal de combinaison résultant d'une superposition avec une pondération fonction de la grandeur de commande et un effet d'intégra-

tion des signaux appliqués sur ses entrées, les signaux intermédiaires étant appliqués aux deux entrées du circuit de combinaison,

- un circuit de mise en forme recevant le signal de combinaison, fournissant le signal de sortie, et présentant un effet de seuil,

#### le circuit de combinaison comportant

- 10 - une entrée de commande recevant une grandeur de commande représentative de la consigne,
- une ligne commune avec un condensateur relié à cette ligne commune et à un potentiel d'alimentation,
- 15 - un premier et un second module de charge et décharge de la ligne commune commandés respectivement par les premier et second signaux intermédiaires, le potentiel de la ligne commune constituant la mesure du signal de combinaison,

20 le circuit à retard étant caractérisé en ce que chaque module comporte un circuit de décharge et un circuit de charge comportant chacun des moyens interrupteurs contrôlant la connexion entre la ligne commune et respectivement un premier et un second potentiel d'alimentation d'une part par l'intermédiaire d'une résistance variable, d'autre part par une résistance non variable assurant la participation permanente des deux modules à la charge ou la décharge du condensateur et en ce que les moyens interrupteurs du circuit de décharge et du circuit de charge de chaque module sont activés par les signaux intermédiaires.

[0020] L'invention a également pour objet un mode de réalisation spécialement conçu pour pouvoir utiliser la technologie CMOS. Cette réalisation, ainsi que d'autres aspects et avantages de l'invention, apparaîtront dans la suite de la description en références aux figures, qui ne sont données qu'à titre indicatif et nullement limitatif de l'invention. Les figures montrent:

- 40 - la figure 1 représente le schéma de principe d'un circuit à retard variable à plusieurs plages de retard;
- les figures 2a à 2c, 4a à 4c, 6a à 6c et 8a à 8c présentent des chronogrammes permettant d'expliquer le fonctionnement du circuit de la figure 1;
- 45 - les figures 3, 5, 7, 9 montrent les variations du retard en fonction de la grandeur de commande pour différents dimensionnements du circuit de la figure 1;
- la figure 10 représente le schéma de principe d'une réalisation CMOS d'un circuit à retard variable à plusieurs plages de retard;
- la figure 11 représente une réalisation détaillée en technologie CMOS du circuit à retard variable à plusieurs plages de retard;
- 50 - la figure 12 présente une courbe théorique représentant des temps de retard en fonction de la commande numérique;
- la figure 13 montre une courbe représentant les

temps de retard effectivement observés dans le circuit à retard variable à plusieurs plages de retard en fonction de la commande numérique;

- la figure 14 représente l'amélioration amenée par l'invention du circuit présenté à la figure 10 conduisant à une amélioration de la linéarité du retard en fonction de la commande numérique;
- la figure 15 représente l'amélioration amenée par l'invention du circuit présenté à la figure 11 conduisant à une amélioration de la linéarité du retard en fonction de la commande numérique;
- la figure 16 présente une comparaison, sur une plage, des temps de retard obtenus en fonction de la commande numérique, avec les circuits des figures 11 et 15;
- la figure 17 présente une comparaison entre des temps de retard obtenus avec le circuit de la figure 11 et ceux obtenus avec le circuit de la figure 15.

[0021] Le circuit de retard selon l'invention est représenté schématiquement à la figure 1. Il comporte un circuit primaire D1 à retard fixe. Le circuit D1 reçoit le signal d'entrée  $e_0$  et fournit en sortie des premier et deuxième signaux intermédiaire  $m_0$  et  $m_1$ .

[0022] Les signaux  $m_0$  et  $m_1$  présentent entre eux un retard fixe  $T$ . Les signaux  $m_0$  et  $m_1$  sont appliqués respectivement aux entrées  $X$  et  $Y$  d'un circuit de combinaison C fourni en sortie un signal de combinaison  $f_K$ . Le circuit de combinaison C comporte une entrée de commande CD recevant une commande K représentative des coefficients de pondération de la combinaison effectuée par le circuit C. Cette commande K est fonction d'une consigne de retard  $CN$ .

[0023] Le signal de combinaison  $f_K$  est appliqué à l'entrée d'un circuit de mise en forme F dont la sortie fournit le signal de sortie  $s_K$ . Pour simplifier la suite de l'exposé, on raisonnera sur les grandeurs normalisées des signaux impliqués et on supposera que les coefficients de pondération affectés aux signaux  $m_0$  et  $m_1$  sont respectivement les valeurs  $K$  et  $1 - K$ , avec  $K$  compris entre 0 et 1.

[0024] Dans ces conditions, le circuit C est conçu pour réaliser la combinaison  $g_K = K.m_0 + (1 - K).m_1$  avec intégration par rapport au temps pour obtenir  $f_K$  à partir de  $g_K$ .

[0025] Le signal  $e_0$  arrive à l'entrée E du circuit sur une première mémoire tampon (buffer dans la littérature anglaise) T1. Dans l'exemple préféré représenté, trois mémoires tampons identiques T1, T2 et T3 sont montés en série. Elles servent à introduire en série des retards fixes au signal  $e_0$ . De préférence les retards fixes sont tous égaux entre eux à  $T$  de sorte que le signal  $e_0$  soit retardé de  $T$ ,  $2T$ ,  $3T$ , etc... Mais les retards pourraient être différents les uns des autres. On trouve le signal  $r_1$  à la sortie de la mémoire tampon T1, le signal  $r_2$  à la sortie de la mémoire tampon T2, le signal  $r_3$  à la sortie de la mémoire tampon T3. L'entrée de la première mémoire tampon est connectée à l'une des deux entrées

d'un premier multiplexeur MUX0. La sortie de la mémoire tampon T2 constitue l'autre entrée du multiplexeur MUX0. Les sorties des mémoires tampons T1 et T3 sont connectées aux deux entrées d'un second multiplexeur

- 5 MUX1. Les sorties des multiplexeurs MUX0 et MUX1 sont connectées aux entrées du circuit de combinaison C réalisant une interpolation de retard. La sortie du circuit de combinaison conduit le signal  $f_K$  au circuit de mise en forme F. Le circuit de combinaison est constitué de deux modules U0 et U1. L'interpolation peut ainsi être réalisée entre soit les signaux  $e_0$  et  $r_1$ , soit les signaux  $r_2$  et  $r_3$ . Ces trois combinaisons sont les seules à présenter un retard constant égal à  $T$  entre les signaux. En présentant les signaux
- 10 de ces trois combinaisons de signaux à l'entrée du circuit de combinaison, on est certain d'obtenir une plage de retard constante. La combinaison des signaux  $e_0$  et  $r_3$  ne sera jamais appliquée à l'entrée du circuit de combinaison, car le retard entre les deux signaux serait trop
- 15 important et ne satisferait pas aux conditions de linéarité évoquées précédemment.

- [0026] On peut ainsi mettre à la suite plusieurs plages de retard. La mise à la suite consiste à utiliser une première combinaison  $e_0$   $r_1$  pour produire un retard variable entre 0 et  $T$ , à utiliser une deuxième combinaison  $r_1$   $r_2$  pour produire un retard variable entre  $T$  et  $2T$ , à utiliser une troisième combinaison  $r_2$   $r_3$  pour produire un retard variable entre  $2T$  et  $3T$  et ainsi de suite, le nombre de mémoires tampons utilisées et la capacité des multiplexeurs conditionnant la dynamique totale de retard des circuits de retard de l'invention.

- [0027] Les courbes présentées aux figures 2 à 9 permettent d'expliquer le fonctionnement du circuit de la figure 1. Elles explicitent les raisons qui ont empêché d'introduire un circuit D1 simple à retard fixe égal à un temps  $T'$  supérieur à  $T$  qui aurait directement agrandi la plage de retard. Elles exposent d'une part la nature des signaux de combinaison  $f_K$  et des signaux de sortie  $s_K$  selon la comparaison entre le temps de retard fixe  $T$  entre les signaux  $m_0$  et  $m_1$  et un temps de transition  $t_m$ . Le temps de transition  $t_m$  est la durée présentée par le circuit de combinaison pour faire passer le signal  $f_K$  de sa valeur minimum à sa valeur de saturation lorsque  $K$  vaut 0 ou 1. D'autre part les figures montrent les variations du retard  $t_K$  en fonction du coefficient  $K$  pour différentes valeurs du temps de transition  $t_m$ , le retard fixe  $T$  étant supposé fixé.

- [0028] Le cas où  $T$  est compris entre  $t_m/2$  et  $t_m$  est représenté figures 2 et 3.

- [0029] Le chronogramme figure 2a représente les signaux  $m_0$  et  $m_1$  appliqués aux entrées X et Y du circuit de combinaison C. Le signal  $m_0$  étant un signal logique, il présente un front raide de transition entre un premier et un second niveau qui est suivi bien plus tard d'un autre front non-représenté rétablissant le signal à son premier niveau. Le front descendant représente la fin de l'impulsion du signal  $R_0$  qu'on cherche à retarder. La durée de cette impulsion est grande par rapport à  $T$ ,  $2T$ ,

3T ... . Le signal retardé  $m_1$  a été représenté comme un signal identique à  $m_0$  mais retardé d'un retard  $T$  défini par le circuit D1. En pratique, le front du signal  $m_0$  est exploité par le circuit de combinaison à l'instant où le signal  $m_0$  atteint une valeur de seuil  $S_1$  du circuit de combinaison C. En général, la valeur de seuil  $S_1$  correspond au niveau moyen entre les niveaux minimum et maximum du signal  $m_0$ . Il en est de même pour le signal  $m_1$ . Dans le cas où la valeur de seuil est réglée au niveau moyen, ces signaux  $m_0$  et  $m_1$  pourraient avoir une forme différente de celle représentée. Le retard  $T$  est défini comme l'intervalle de temps séparant les instants où le signal  $m_0$  et le signal  $m_1$  atteignent la valeur de seuil.

[0030] Le chronogramme de la figure 2b représente le signal de combinaison  $f_K$  pour différentes valeurs du coefficient de pondération  $K$ . Bien entendu, la forme des signaux représentés est une représentation simplifiée des signaux qu'on peut obtenir avec des circuits réels. Il convient toutefois de noter que cette représentation n'est pas éloignée de la réalité. En particulier, on observera toujours un palier de saturation. Ceci est montré sur la courbe  $f_1$  ( $K = 1$ ) à partir de  $t = t_m$  et sur les autres courbes à partir de  $t = t_m + T$ . L'intégrale d'une impulsion finit de toutes façons par être limitée aux valeurs du potentiel d'alimentation. Dans le circuit F de mise en forme le signal  $f_K$  est comparé à une valeur de seuil  $S_2$  de préférence au niveau moyen entre le maximum et le minimum de  $f_K$ . Au moment où le comparateur bascule on produit le signal de sortie dont le retard par rapport au signal  $e_0$  a été recherché.

[0031] Le signal  $f_1$  correspond au cas où  $K$  est égal à 1, c'est-à-dire lorsque le coefficient de pondération appliqué au signal  $m_1$  est nul. Le signal a la forme d'un trapèze dont le front montant débute à l'instant zéro correspondant à l'instant où le signal  $m_0$  atteint une valeur de seuil  $S_1$ . Le signal  $f_1$  augmente de façon linéaire, l'intégration d'une constante étant une fonction affine, jusqu'à l'instant  $t_m$  où il atteint un palier de saturation.

[0032] Le signal  $f_0$  correspond au cas où le coefficient de pondération  $K$  appliqué au signal  $m_0$  est nul. Ce signal reproduit le signal  $f_1$  avec le retard  $T$ . Pour des coefficients de pondération différents de ces deux cas extrêmes, le signal de combinaison a l'allure représentée par les courbes  $f_{K1}$  et  $f_{K2}$ . La courbe représentative du signal de combinaison comporte alors trois parties distinctes  $Pa_1$ ,  $Pa_2$  et  $Pa_3$ . La portion  $Pa_1$  correspond à l'intervalle de temps pendant lequel le signal  $m_1$  n'a pas encore atteint le seuil  $S_1$ . Le signal  $f_{K1}$  est alors uniquement proportionnel au signal  $m_0$ . La portion  $Pa_3$  de la courbe représentative de  $f_{K1}$  correspond à l'intervalle de temps à partir duquel le signal  $f_1$  arrive à saturation. Le signal  $f_{K1}$  est alors uniquement proportionnel au signal  $m_1$ . La portion  $Pa_2$  correspond à l'intervalle de temps entre l'arrivée du signal  $m_1$  à sa valeur seuil et l'arrivée à saturation de  $f_1$ . Les signaux  $f_1$  et  $f_0$  atteignent la valeur du seuil  $S_2$  respectivement aux instants  $t_1$  et  $t_0$  tandis que le signal  $f_{K1}$  atteint ce seuil à un instant  $\Theta_1$ . L'écart

entre  $t_1$  et  $t_0$  est égal au retard  $T$ . Ainsi, les retards respectivement minimum et maximum du signal de combinaison par rapport au signal d'entrée sont compris entre respectivement  $t_1$  et  $t_0$ . Par conséquent, le retard obtenu dans le cas général aura une valeur  $\Theta$  comprise entre  $t_1$  et  $t_1 + T$ .

[0033] Le chronogramme de la figure 2c représente le signal de sortie du circuit de mise en forme F dans chacun des trois cas représentés sur le chronogramme de la figure 2b. Ainsi, les signaux  $S_1$  et  $S_0$  présentent un front respectivement aux instants  $t_1$  et  $t_0$ . Pour un coefficient  $K$  donné, le signal de sortie  $s_K$  possédera un front retardé d'une valeur  $T_K$  par rapport aux signal  $S_1$ , la valeur  $T_K$  étant comprise entre 0 et  $T$ , soit  $t_1 + T$  par rapport à  $m_0$ .

[0034] Sur la figure 3, on voit que pour  $K$  compris entre 0 et une première valeur  $K_1$ ,  $T_K$  varie entre  $T$  et  $t_m/2$  selon une sinusoïde. Cette première valeur  $K_1$  correspond au coefficient  $1 - K$  facteur de  $m_1$ , qui coïncide avec un retard  $\Theta$  égal à  $t_m$ . Pour  $K$  compris entre  $\Theta$  et  $K_1$ , la valeur  $\Theta$  obtenue, caractéristique du retard, varie en effet comme le cosinus d'un angle  $\alpha_2$  mesurant l'angle entre la portion  $Pa_3$  de la courbe  $f_K$  et l'horizontale. Le calcul permet de vérifier facilement que  $K_1$  est égal à  $-t_m/2T$ , par exemple en établissant une équation de la droite contenant la portion de courbe  $Pa_3$ .

[0035] De même, pour  $K$  compris entre  $K_2$  et 1, la valeur  $\Theta$  obtenue, caractéristique du retard, varie comme le cosinus de l'angle  $\alpha_{11}$  mesurant l'angle entre la portion de courbe  $Pa_1$  et l'horizontale. De la même façon qu'on a calculé  $K_1$ , on peut calculer  $K_2 = t_m/2T$ . Entre  $K_1$  et  $K_2$ , la portion  $Pa_2$  de la courbe  $f_K$  est parallèle à  $f_1$  et  $f_0$ ; elle est en effet le résultat d'une combinaison linéaire de deux droites parallèles, les droites porteuses des courbes représentatives de  $f_0$  et  $f_1$ . Donc pour  $K$  compris entre  $K_1$  et  $K_2$ , les valeurs de retard  $\Theta$  sont le résultat d'une fonction linéaire de  $K$ .

[0036] Les figures 4 et 5 représentent le cas où  $T$  égal  $t_m$ . Dans ce cas, les valeurs  $K_1$  et  $K_2$  définies précédemment sont égales, et la portion linéaire du retard  $T_K$  en fonction de  $K$  a disparu. La fonction de retard  $T_K$ , admettant  $K$  comme variable, n'est alors jamais linéaire.

[0037] Les figures 6 et 7 représentent le cas où  $T$  est supérieur à  $t_m$ . Dans ce cas, la portion  $Pa_2$  du signal  $f_K$  est horizontale, car elle est la combinaison linéaire de  $F_1$  et  $F_0$  qui sont, sur l'intervalle considéré horizontales. Si  $K$  est égal à  $1/2$ , cette portion horizontale de  $f_K$  se situe alors au niveau du seuil de transition  $S_2$ . Le retard n'est alors pas parfaitement défini, il est quelque part dans l'intervalle  $Z$  du chronogramme C de la figure 6, ce qui crée une discontinuité au niveau de la courbe  $T_K$  en fonction de  $K$ , représentée figure 7.

[0038] Les figures 8 et 9 représentent le cas où  $T$  est inférieur à  $t_m/2$ . Dans ce cas, le seuil  $S_2$  ne peut être atteint qu'avec la portion  $Pa_2$  de la courbe  $f_K$ , donc la réponse est nécessairement linéaire comme c'est visible sur la figure 9.

[0039] La façon dont le retard  $\Theta$  varie en fonction du

coefficient de pondération  $K$  dépend donc essentiellement du temps de transition  $t_m$  défini ci-dessus et du retard fixe  $T$ . Le temps de transition  $t_m$  définira le retard minimum  $t_1$  du signal de sortie  $s_K$  par rapport au signal d'entrée  $e_0$ . Dans le cas parfaitement linéaire tel que celui considéré, ce retard minimum est égal à la moitié du temps de transition. Dans l'invention, pour résoudre le problème de durée du retard on a prévu plusieurs circuits de retard en série. Pour les retards existant entre les combinaisons de signaux  $e_0$  r1, r1 r2 et r2 r3, on choisira de préférence des valeurs  $T$  inférieures à  $t_m$ . Cependant, ce n'est pas une obligation. On perdrat le cas échéant un peu de linéarité.

[0040] L'analyse précédente permet de tirer quelques conclusions concernant le dimensionnement à apporter au circuit primaire et au circuit de combinaison. Il apparaît tout d'abord que  $T$  doit de préférence être inférieur à  $t_m$  pour éviter toute discontinuité du retard  $T_K$  en fonction du coefficient de pondération  $K$ , donc de la consigne de retard. D'autre part on obtient une réponse linéaire du retard  $T_K$  en fonction de  $K$  dès que  $T$  est inférieur ou égal à  $t_m/2$ . Ainsi, pour  $t_m$  fixé, on obtiendra une réponse linéaire tout en ayant la plus grande plage de réglage lorsque  $T$  est égal à  $t_m/2$ .

[0041] Le retard fixe  $T$  détermine la plage de réglage du retard. Aussi, pour une plage déterminée, il sera toujours possible d'obtenir une réponse linéaire en choisissant  $t_m = 2T$ . On pourra cependant être amené à choisir un temps de transition inférieur afin de réduire le retard minimal  $t_1$  qui dépend directement du temps de transition  $t_m$ . D'une façon générale, le choix de  $T$  et de  $t_m$  résultera d'un compromis entre le retard minimal, la plage de réglage et la linéarité du retard par rapport à la consigne de retard.

[0042] Les figures 10 et 11 concernent une réalisation schématique et en technologie CMOS du circuit de combinaison C.

[0043] La figure 10 est la représentation schématique d'une réalisation CMOS permettant de faciliter sa compréhension. Le circuit de la figure 10 comporte un premier et un second module de charge et décharge  $U_0$ ,  $U_1$ , d'une ligne commune  $L$ . La ligne commune  $L$  est reliée à un condensateur  $C_1$ . Le condensateur  $C_1$  est par ailleurs relié à la masse, ou à un autre potentiel constant. Ce dernier pourrait même être  $Vdd$ , le fonctionnement du circuit étant alors inversé. Le potentiel de la ligne commune constitue la mesure du signal de combinaison. Chaque module  $U_0$ ,  $U_1$  comporte un circuit de charge PC et un circuit de décharge DC. Chaque circuit de charge PC comporte une résistance variable  $R_0^*$  pour le module  $U_0$ ,  $R_1^*$  pour le module  $U_1$ , et un interrupteur  $P_0$  pour  $U_0$ ,  $P_1$  pour  $U_1$ . Chaque circuit de décharge DC comporte également une résistance variable  $R_0$  pour  $U_0$ ,  $R_1$  pour  $U_1$  et un interrupteur  $N_0$  pour  $U_0$  et  $N_1$  pour  $U_1$ . Chaque interrupteur contrôle la connexion par la résistance qui lui est associée entre la ligne  $L$  et le potentiel d'alimentation  $Vdd$  pour le circuit de charge et  $Vss$  pour le circuit de décharge. Les interrupteurs

des unités  $U_0$  et  $U_1$  sont commandés respectivement par les signaux  $m_0$  et  $m_1$  et leur complément  $m_0^*$  et  $m_1^*$ .

[0044] Les résistances variables  $R_0$ ,  $R_0^*$  sont commandées de façon à prendre une valeur inversement proportionnelle au coefficient  $K$ , tandis que les résistances  $R_1$ ,  $R_1^*$  de l'unité  $U_1$  sont commandées de façon à prendre une valeur inversement proportionnelle à  $1 - K$ . Le potentiel de la ligne  $L$  constitue la mesure du signal de combinaison  $f_K$ .

[0045] Pour expliquer le fonctionnement du circuit de la figure 10, nous supposerons qu'initialement la ligne  $L$  est chargée au potentiel  $Vdd$  et que les signaux  $m_0$  et  $m_1$  sont à zéro. Les interrupteurs  $P_0$  et  $P_1$  sont alors fermés tandis que les interrupteurs  $N_0$  et  $N_1$  sont ouverts. Lorsque le signal  $e_0$  devient actif, l'interrupteur  $N_0$  se ferme et l'interrupteur  $P_0$  s'ouvre. Le circuit présente alors une constante de temps définie par la capacité de structure au niveau de la ligne  $L$  et une résistance équivalente aux résistances  $R_0$  et  $R_1^*$  montées en parallèle. Comme  $R_0$  et  $R_1^*$  sont inversement proportionnelles à respectivement  $K$  et  $1 - K$ , la constante de temps est indépendante de  $K$ . La ligne  $L$  va alors se décharger avec cette constante de temps depuis la valeur  $Vdd$  vers la valeur  $(1 - K) Vdd$ . La décharge se poursuit de cette façon jusqu'à l'instant où le signal  $m_1$  devient actif. Dès lors, l'interrupteur  $N_1$  se ferme et l'interrupteur  $P_1$  s'ouvre. La ligne  $L$  va alors continuer à se décharger vers zéro avec la même constante de temps que précédemment. Lorsque le signal  $m_0$  redevient inactif, l'interrupteur  $P_0$  se ferme et l'interrupteur  $N_0$  s'ouvre, ce qui établit un circuit de charge de la ligne  $L$  vers la tension  $K Vdd$ . Lorsque  $m_1$  redevient inactif, on se retrouve dans la situation initiale.

[0046] La figure 11 représente la réalisation CMOS détaillée correspondant au circuit de la figure 10. Elle est conforme à la figure 2 décrite dans le brevet français n° 2 690 022. Les circuits de charge PC et de décharge DC sont constitués de transistors MOS respectivement à canal P et N. Les résistances variables  $R_0$ , ...,  $R_1^*$  sont réalisées au moyens de transistors MOS branchés en parallèle et commandées par les signaux  $K_0$ , ...,  $K_i$ , et leur complément  $K_0^*$ , ...,  $K_i^*$ . Les interrupteurs associés sont constitués par les chemins drain source des transistors MOS dont les grilles reçoivent le signal associé  $e_0$ ,  $e_1$ . La capacité de structure définissant la constante de temps est due au capacité drain-grille des transistors MOS actifs reliés à la ligne  $L$ .

[0047] De par la conception du circuit, la capacité résultante reste constante, indépendamment de la valeur de  $K$ . D'autre part, les transistors MOS constituant les résistances variables de chaque circuit de charge ou de décharge, peuvent être dimensionnés de façon à ce que leur résistance varie selon une puissance de 2, selon les poids des signaux de commande  $K_0$ , ...,  $K_i$ , ...,  $K_0^*$ ,  $K_i^*$ . On retrouve sur la figure 11 le circuit de retard  $D_1$  connecté à  $e_0$  en entrée et qui délivre les signaux  $m_0$  et  $m_1$  ainsi que le circuit de mise en forme  $F$  assurant

le passage de  $f_K$  à  $S_K$ .

[0048] Quand  $m0$  est à 1, ce sont les transistors du bas de la figure qui conduisent. On décharge donc la capacité  $C1$ . Quand  $m0$  est à 0, ce sont les transistors du haut qui conduisent. La capacité  $C1$  se charge alors.

[0049] Quand les commandes du module  $U0$  sont validées, c'est-à-dire quand tous les  $k_i$  sont à 1, et que  $m0$  est à 0, on charge la capacité  $C1$  avec un retard minimum. On peut ensuite faire passer les  $k_i$  à 0 au moment du réglage ou de la programmation. On ne modifie plus les valeurs de  $k_i$  lorsque le retard à imposer est déterminé. On active ainsi, petit à petit en fonction des besoins, des branches du module  $U1$ . La capacité  $C1$  se charge toujours, mais avec un certain retard. Enfin, quand toutes les commandes  $k_i$  sont à 0, le courant passe uniquement par le module  $U1$  et le retard est alors maximal pour la charge de la capacité  $C1$ .

[0050] La phase de décharge du condensateur suit le principe décrit ci-dessus pour la charge, avec  $m0$  et donc a fortiori  $m1$  égaux à 1.

[0051] On peut ainsi obtenir un retard pour la montée (passage de 0 à 1) et pour la descente (passage de 1 à 0) des signaux  $m0$  et  $m1$ . Afin d'assurer la linéarité du retard, il faut que la capacité ait été chargée à  $Vdd$ . Il a donc préalablement fallu que l'impulsion soit assez longue, afin de charger totalement  $Vdd$ . Avec une impulsion  $e0$  de niveau haut 5 ns qui correspond à une fréquence de 100 MHz, ceci ne pose pas de problème.

[0052] Le potentiel du condensateur  $C1$ , que l'on retrouve au noeud  $L$ , est le potentiel du signal  $S_K$ . Ce n'est que lorsque ce potentiel atteint le seuil du circuit de mise en forme  $F$  que le signal  $S_K$  bascule.

[0053] On obtient, à l'aide du schéma de la figure 11, une plage de retard déterminée uniquement par le retard entre les signaux  $m0$  et  $m1$ . Or, d'un point de vue technologique, on a désormais besoin de plages de retard plus importantes. C'est pourquoi on a prévu le système avec multiplexeur de la figure 1.

[0054] Cette solution n'est toutefois pas toujours satisfaisante comme on va l'expliquer au regard des figures 12 et 13. Elle a été perfectionnée dans la présente invention par les circuits montrés figures 14 et 15.

[0055] La figure 12 montre une courbe représentant le retard entre l'entrée  $E$  et la sortie  $S$  du circuit de la figure 11 en fonction du signal de commande numérique. Cinq points caractéristiques sont visibles sur la courbe. Le point  $a$  correspond au retard minimal, donc au cas où ce sont les signaux  $e0$  et  $r1$  qui entrent dans le circuit de combinaison, avec 100% du courant qui passe dans le module  $U0$ . Le point  $b$  correspond au retard maximal quand  $e0$  et  $r1$  entrent dans le circuit de combinaison avec 100% du courant qui passe dans le module  $U1$ . Le segment compris entre  $a$  et  $b$  constitue la plage  $PI1$ . Lorsque le retard à provoquer est plus grand que celui du point  $b$ , on commute le multiplexeur  $MUX0$  seul. On peut atteindre alors une deuxième plage  $PI2$  de retard. Cette deuxième plage  $PI2$  s'achève par un point  $c$  qui correspond au retard maximal entre

5 r1 et  $r2$  avec 100% du courant passant par le module  $U0$ . L'avantage du mode de connexion préconisé permet en effet de ne commuter qu'un multiplexeur ( $MUX0$ ) en tenant compte du caractère symétrique du circuit des figures 11 et 15. Puis c'est au tour du multiplexeur  $MUX1$  de basculer, le signal  $r1$  laissant sa place au signal  $r3$ . On peut ainsi entamer une troisième plage  $PI3$  de la courbe de retard et l'on arrive au point  $d$  qui correspond à un retard maximal entre  $r2$  et  $r3$  avec 100% du courant qui passe par le module  $U1$ . Si l'on considère le point  $H$  situé sur la première plage de la courbe de retard, on peut dire qu'en ce point, approximativement 90% du courant passe par le module  $U0$  et 10% passe par le module  $U1$ .

10 [0056] Cette courbe demeure cependant théorique. Dans la pratique, c'est la courbe représentée figure 13 que l'on obtient. On observe sur cette courbe lorsque les multiplexeurs basculent, une non-linéarité de la courbe de retard en fonction de la commande numérique qui se traduit par un méplat  $MH$  horizontal ou pris encore, incliné vers le bas. La position des points  $X$  et  $X'$ ,  $X$  et  $X'$  étant deux termes génériques désignant respectivement le dernier point d'une plage et le premier de la plage suivante, ne permettent pas d'obtenir une 15 courbe linéaire. Elle n'est d'ailleurs même plus monotone car les méplats  $MH$  joignant les points  $X$  et  $X'$  sont descendants. Ce type de problème peut s'expliquer par des fuites de courant, des réinjections de charge de la sortie sur l'entrée, ou par des problèmes de répartition 20 de charge au niveau de la capacité  $C1$ .

25 [0057] Les figures 14 et 15 présentent selon l'invention une solution à ce problème.

[0058] La figure 14 reprend le circuit de la figure 10. On y retrouve les deux modules  $U0$  et  $U1$  qui constituent 30 le circuit de combinaison  $C$ . On y a ajouté quatre résistances non variables  $R01$ ,  $R01^*$ ,  $R1f$  et  $R1f^*$  connectées en parallèle respectivement à  $R0$ ,  $R0^*$ ,  $R1$  et  $R1^*$ . Ces résistances non variables ne dépendent plus de  $K$ . Elles assurent que chaque module  $U0$  et  $U1$  contribue en permanence à la charge ou la décharge de la ligne  $L$ . L'intérêt d'un tel montage sera précisé avec l'étude de la figure 15 qui propose une description plus détaillée de ce circuit.

[0059] La figure 15 reprend le circuit de la figure 11. 35 Les multiplexeurs  $MUX0$  et  $MUX1$  et les mémoires tampons  $T1$ ,  $T2$  et  $T3$  constituent le circuit de retard  $D1$ . Sur chacun des deux modules  $U0$  et  $U1$  qui constituent le circuit de combinaison  $C$ , on a ajouté une branche en parallèle. Ces branches comportent chacune en série 40 deux transistors à canal  $P$  en série et deux transistors à canal  $N$  en série. Les transistors à canal  $P$   $P01$  et  $P02$  pour  $U0$ ,  $P11$  et  $P12$  pour  $U1$ , interviennent de la même façon que les transistors à canal  $P$  déjà présents dans le circuit représenté sur la figure 11 dans les circuits de charge de  $U0$  et  $U1$ . Les nouveaux transistors à canal  $N$ ,  $N01$  et  $N02$  pour  $U0$ ,  $N11$  et  $N12$  pour  $U1$ , interviennent de façon similaire dans les circuits de décharge de 45  $U0$  et  $U1$ . Les transistors ajoutés  $P01$ ,  $N01$ ,  $P11$  et  $N11$

qui jouent le rôle d'interrupteurs sont toujours connectés aux signaux  $m_0$  et  $m_1$ . Mais ceux qui servent de résistances variables, à savoir P02, N02, P12 et N12, sont alimentés en permanence: les transistors ajoutés à canal N, N02 et N12, sont reliés au potentiel Vdd et les transistors ajoutés à canal P, P02 et P12 sont reliés au potentiel Vss. Ils ne dépendent pas d'une commande K ou  $K^*$ . Aussi, les branches supplémentaires conduiront toujours. Ceci compense les fuites et les problèmes de répartition de charge observables lors de la commutation des multiplexeurs, qui se traduisent par un méplat horizontal ou légèrement décroissant. Les répartitions des courants dans les modules U0 et U1 s'en trouvent légèrement modifiées: on ne pourra désormais plus avoir 100% du courant passant dans une module et 0% dans l'autre.

[0060] Dans la réalisation pratique, chaque module comporte typiquement trois transistors commandés par les commandes K et  $K^*$ . Le transistor ajouté qui est relié en permanence au potentiel Vdd ou Vss sera typiquement plus petit que les trois autres transistors, de façon à ce qu'on ait au maximum 90% du courant qui puisse passer par un module U0 ou U1. Ceci signifie que le transistor alimenté en permanence doit être trois fois plus petit que les autres transistors.

[0061] Dans une autre application courante, les transistors commandés par les coefficients K0, K1, etc... ont des largeurs de grille en progression binaire (1, 2, 4, etc...). Le transistor ajouté dans la branche supplémentaire a une largeur de grille moitié de la plus petite des largeurs de grille précédentes. On pourrait imaginer une autre implémentation dans laquelle on aurait sept branches identiques. Dans ce cas, la branche ajoutée a une largeur de grille moitié de celle des autres branches.

[0062] Les figures 16a, 16b, 16c, 16d et 16e permettent d'expliquer ce qui se passe à présent sur la première plage. Dans leur description, il sera souvent fait référence au circuit de la figure 15.

[0063] Les figures 16a et 16b sont les chronogrammes des signaux  $m_0$  et  $m_1$  décalés d'un temps T. L'origine des temps est définie lorsque  $m_0$  bascule à 0.

[0064] Supposons tous les coefficients  $k_i$  à 1. Ceci correspond à  $K = 1$ , et à un retard minimum égal à  $t_1$  (voir figures 2b, 4b, 6b, 8b). On est alors au début d'une plage, le courant passant essentiellement par le module recevant le signal le moins retardé. Pour un intervalle de temps compris entre 0 et T, tous les transistors à canal P de la figure 15 commandés par les coefficients  $k^*$  conduisent et contribuent à la charge du condensateur C1. Cependant,  $m_1$  valant 1, le transistor à canal N N12 de la figure 15 contribue à la décharge de C1, ce qui ne se produisait pas en l'absence des transistors ajoutés par l'invention. Aussi, la valeur de seuil S2 définie précédemment sera atteinte plus tard. Ceci est illustré par la figure 16c. Les courbes  $C_0$  et  $C_1$  correspondent respectivement à la charge du condensateur C1 avant et après l'introduction des transistors connectés en permanence. Les temps  $t_1$  et  $t_2$  sont respectivement les

temps mis, avant et après le perfectionnement de l'invention, par le signal  $S_k$  pour atteindre la valeur seuil S2. On a donc en début de plage un retard  $t_1$  plus important que  $t_2$ . On peut remarquer sur la figure 16c qu'une fois que  $m_1$  a basculé à 0, la charge du condensateur C1 est plus rapide qu'auparavant. Ceci s'explique par le fait que P11 participe alors à la charge de C1.

[0065] Supposons à présent tous les  $k_i$  égaux à 0. Ceci correspond à  $K = 0$  et à un retard maximal égal à  $t_0$  (voir figures 2b, 4b, 6b, 8b). On se situe alors en fin de plage. Le courant passe essentiellement par le module recevant le signal le plus retardé. Pour un intervalle de temps compris entre 0 et T, pour le module U0, seul le transistor P01 contribue à la charge du condensateur C1, mais  $m_1$  étant à 1, tous les transistors à canal N du module U1 favorise la décharge de C1. Le condensateur ne se charge donc pas. Au-delà de cet intervalle,  $m_1$  est à 0 et tous les transistors à canal P du module U1 contribuent à la charge de C1, ainsi que P01. La charge du condensateur C1 est donc plus rapide que lorsque P01 n'était pas présent dans le circuit. On a donc en fin de plage un retard  $t_2$  moins important que  $t_0$ .

[0066] Un raisonnement similaire peut être effectué pour le passage d'un niveau bas à un niveau haut et pour la décharge du condensateur. Dans tous les cas, le nouveau retard en début de plage est plus important que celui en absence des branches connectées en permanence, et il est moins important en fin de plage.

[0067] On obtient donc sur une plage la courbe représentée figure 16e. Les points S1 et B1 sont ceux de la nouvelle courbe de retard. Le point S1 et B1 sont respectivement au dessus et en dessous des points A et B précédent (figure 12).

[0068] La figure 17 explique le changement de plage. Elle montre en tirets la courbe réelle des retards provoqués sans le perfectionnement, à b b' c c' d d' qui est une ligne brisée. La courbe des retards obtenue avec le perfectionnement de l'invention est montrée en trait plein. Cette dernière passe par les points a1 b1 b'1 c1 c'1 d1 d'1 qui sont tous alignés. Le retard associé au point b1 est bien inférieur à celui associé au point b alors que le retard associé au point b'1 est supérieur à celui associé au point b'.

[0069] Au moment du basculement d'un multiplexeur (MUX0 ou MUX1), on débute une nouvelle plage. Le premier retard de la nouvelle plage est supérieur, avec le circuit de la figure 15 à celui obtenu avec le circuit de la figure 11. L'avantage d'un tel montage est que, même au moment de la commutation des multiplexeurs, le retard sera forcément augmenté. L'addition des différences  $t_0 - t_1$  de la plage "basse" et  $t_1 - t_2$  de la plage haute sont ensemble supérieures aux dérives ab' ou cc' de la figure 13.

[0070] La commande numérique pourra donc commander plus efficacement les valeurs des coefficients  $k_i$  et le basculement des multiplexeurs. En effet, si cette commande résulte d'une action asservie, le fait que l'asservissement possède une pente négative (b b', c c') et

en particulier un sommet, en b ou en c, de la courbe de gain, conduit cet asservissement à osciller autour de la valeur associée au point b.

[0071] La figure 17 montre également la comparaison entre les courbes de retard obtenues: la courbe Co1 représentative du temps de retard en l'absence des branches connectées en permanence, et la courbe Co2 caractéristique du temps de retard pour le circuit comprenant les branches connectées en permanence. On voit sur la courbe Co2 qu'on se rapproche d'une linéarité optimale; le retard est ainsi de toute façon augmenté.

#### Revendications

1. Circuit à retard pour fournir un signal de sortie ( $s_k$ ) présentant un retard ( $\Theta$ ) par rapport à un signal d'entrée ( $e_0$ ), le retard ( $\Theta$ ) étant réglable en fonction d'une consigne de retard (CN), le circuit à retard comportant
  - un circuit primaire (D1), recevant le signal d'entrée ( $e_0$ ) et fournissant des premier et second signaux intermédiaires ( $m_0, m_1$ ) présentant entre eux un retard fixe ( $T$ ),
  - un circuit de combinaison (C) à deux entrées ( $X, Y$ ), les signaux intermédiaires ( $m_0, m_1$ ) étant appliqués aux entrées ( $X, Y$ ), fournissant en sortie un signal de combinaison ( $f_k$ ) résultant d'une superposition avec une pondération fonction de la grandeur de commande ( $K$ ) et un effet d'intégration des signaux appliqués sur ses entrées ( $X, Y$ ),
  - un circuit de mise en forme recevant le signal de combinaison, fournissant le signal de sortie  $S_k$ , et présentant un effet de seuil,
 le circuit de combinaison comportant
  - une entrée de commande (CD) recevant une grandeur de commande ( $K$ ) représentative de la consigne (CN),
  - une ligne commune (L) avec un condensateur (C1) relié à cette ligne commune et à un potentiel d'alimentation,
  - un premier et un second module de charge et décharge ( $U_0, U_1$ ) de la ligne commune (L) commandés respectivement par les premier et second signaux intermédiaires ( $m_0, m_1$ ), le potentiel de la ligne commune (L) constituant la mesure du signal de combinaison ( $f_k$ ),
 le circuit à retard étant caractérisé en ce que chaque module ( $U_0, U_1$ ) comporte un circuit de décharge (DC) et un circuit de charge (PC) comportant chacun des moyens interrupteurs ( $P_0, N_0, P_1, N_1$ ) contrôlant la connexion entre la ligne commune (L) et respectivement un premier et un second potentiel d'alimentation ( $V_{ss}, V_{dd}$ ) d'une part par l'intermédiaire d'une résistance variable ( $R_0, R_0^*, R_1, R_1^*$ ), d'autre part par une résistance non variable ( $R_{0f}, R_{0f^*}, R_{1f}, R_{1f^*}$ ) assurant la participation permanente des deux modules ( $U_0$  et  $U_1$ ) à la charge ou la décharge du condensateur (C1) et en ce que les moyens interrupteurs ( $P_0, N_0, P_1, N_1$ ) du circuit de décharge (DC) et du circuit de charge (PC) de chaque module ( $U_0, U_1$ ) sont activés par les signaux intermédiaires ( $m_0, m_1$ ).
2. Circuit à retard selon la revendication 1, caractérisé en ce que le retard fixe ( $T$ ) est inférieur à un temps de transition ( $t_m$ ) que présente le signal de combinaison ( $f_k$ ) lorsque le circuit de combinaison (C) reçoit seulement un des deux signaux ( $m_0, m_1$ ).
3. Circuit selon l'une des revendications 1 ou 2, caractérisé en ce que la pondération consiste à pondérer par un coefficient de pondération chacun des signaux en entrée du circuit de combinaison (C), les valeurs des coefficients de pondération étant fonction de la grandeur de commande ( $K$ ), la somme des deux coefficients de pondération étant constante, la résistance variable ( $R_0, R_0^*, R_1, R_1^*$ ) des circuits de décharge et de charge (DC, PC) de chaque module ( $U_0, U_1$ ) étant commandée de façon à prendre une valeur inversement proportionnelle au coefficient de pondération d'un des signaux intermédiaires ( $m_0, m_1$ ).
4. Circuit à retard selon une des revendications 1 à 3, caractérisé en ce que les résistances variables ( $R_0, R_0^*, R_1, R_1^*$ ) de chaque module ( $U_0, U_1$ ) sont réalisées au moyen d'un ensemble de résistances élémentaires pouvant être branchées sélectivement en parallèle en fonction du coefficient de pondération du signal intermédiaire associé ( $m_0, m_1$ ) audit module ( $U_0, U_1$ ).
5. Circuit à retard selon l'une des revendications 1 à 4, caractérisé en ce que les résistances variables ( $R_0, R_0^*, R_1, R_1^*$ ), les résistances non variables ( $R_{0f}, R_{0f^*}, R_{1f}, R_{1f^*}$ ) et les interrupteurs ( $P_0, N_0, P_1, N_1$ ) sont formés par les chemins drain-source de transistors MOS dont les grilles sont commandées en fonction des coefficients de pondération, par les signaux associés ( $m_0, m_1$ ) ou par des potentiels constants.
6. Circuit à retard selon l'une des revendications 1 à 5, caractérisé en ce qu'un module de charge et de décharge comporte trois branches commandées par un signal de pondération ( $K$ ) et une branche en conduction permanente.
7. Circuit à retard selon l'une des revendications 1 à

6, caractérisé en ce que le circuit à retard le circuit primaire (D1) est réalisé au moyen d'un jeu de mémoires tampons (T1, T2, T3) en série, retardant pour chacune le signal à sa sortie d'un retard (T), à la sortie desquelles on obtient au moins des premier et deuxième signaux retardés (r1, r2), le signal d'entrée (e0) et les signaux retardés (r1, r2) étant appliqués aux entrées d'un premier et d'un deuxième multiplexeur (MUX0, MUX1) qui fournissent les premier et deuxième signaux intermédiaires (m0, m1). 5 10

15

20

25

30

35

40

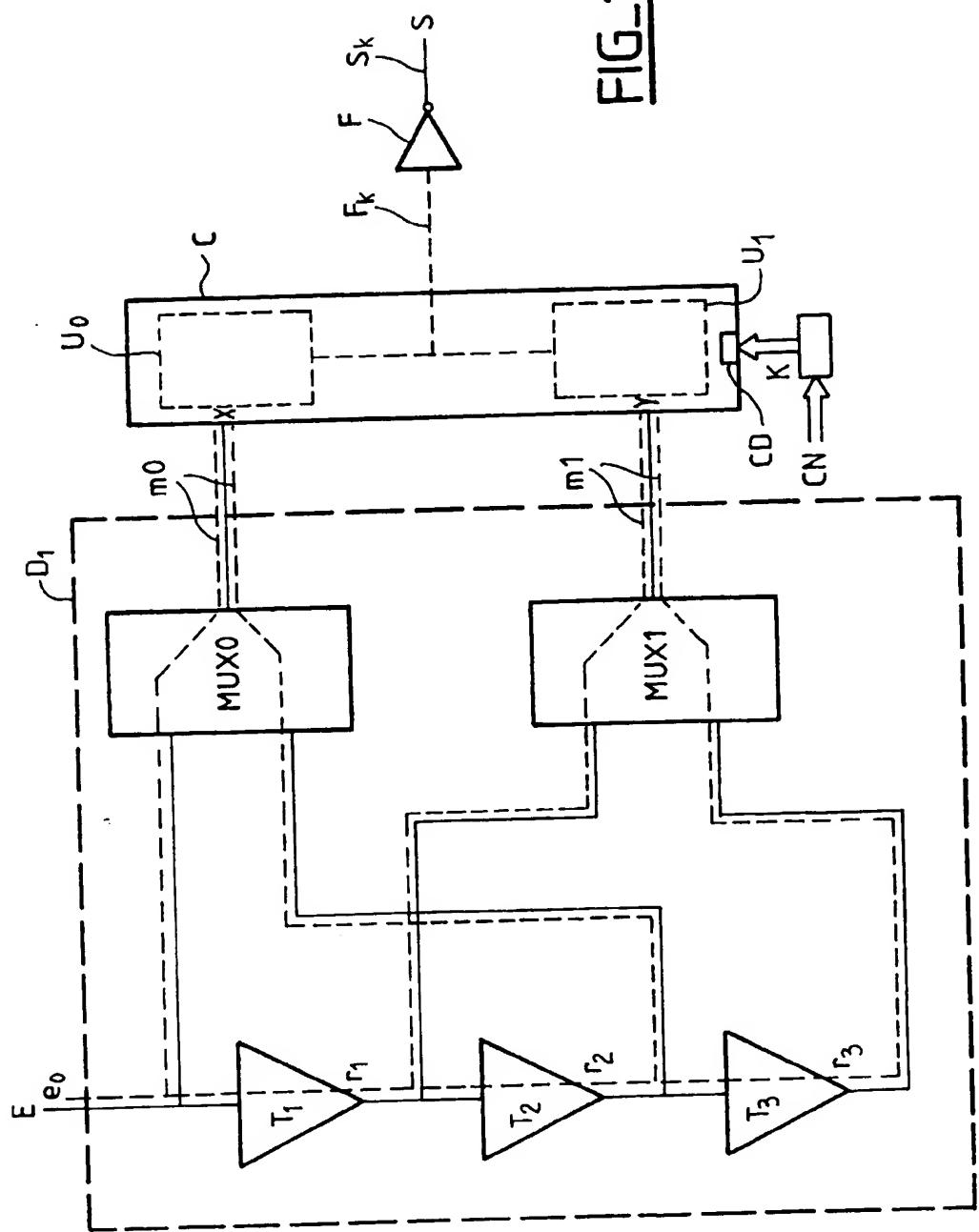
45

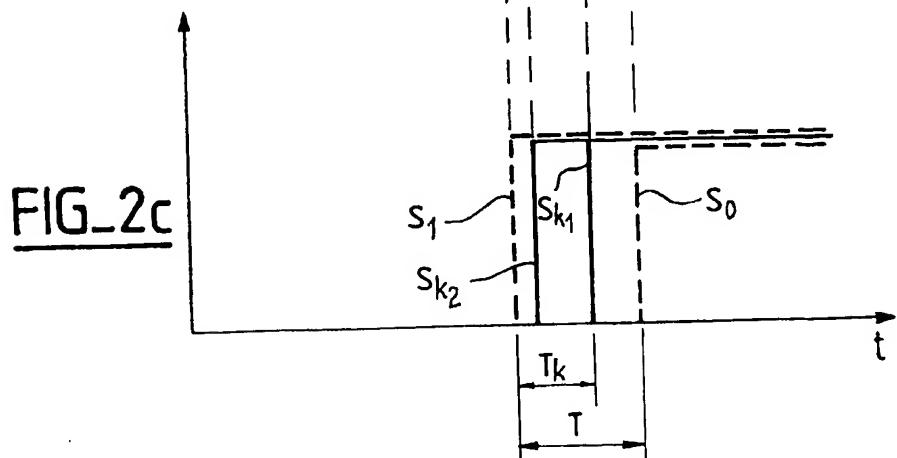
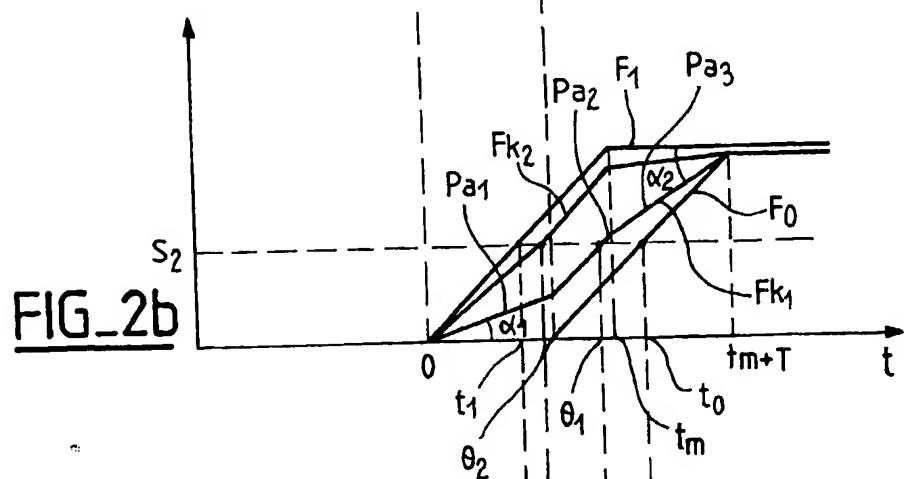
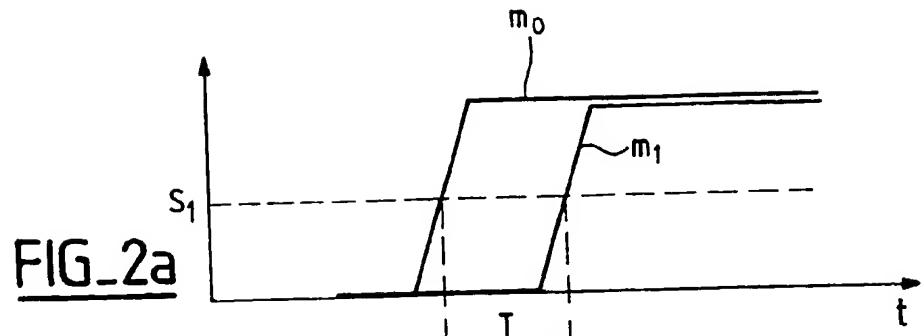
50

55

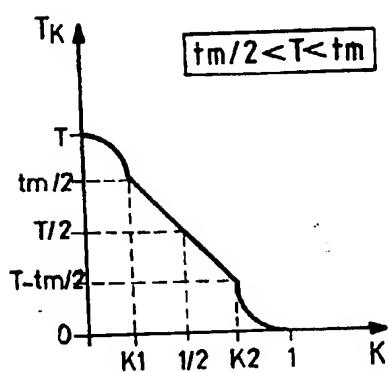
10

FIG. 1

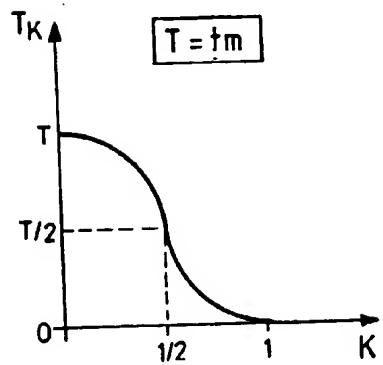




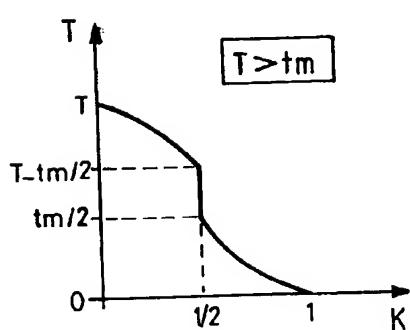
FIG\_3



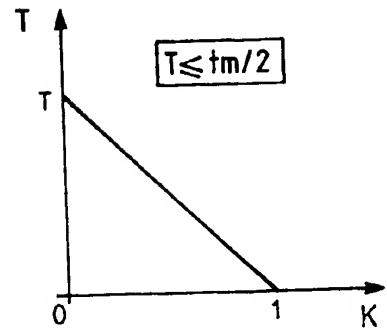
FIG\_5



FIG\_7



FIG\_9



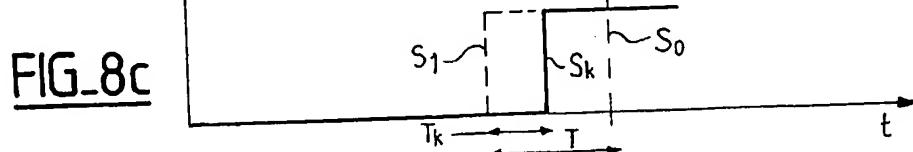
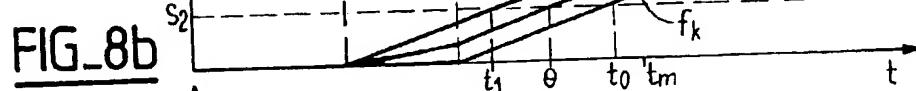
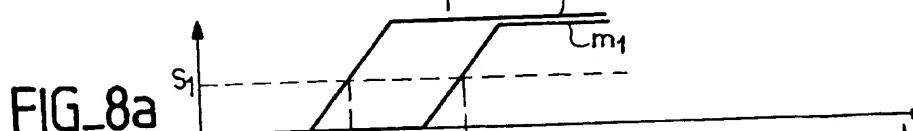
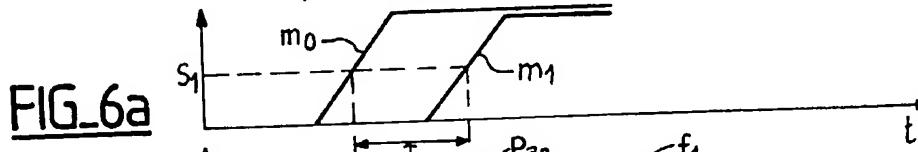
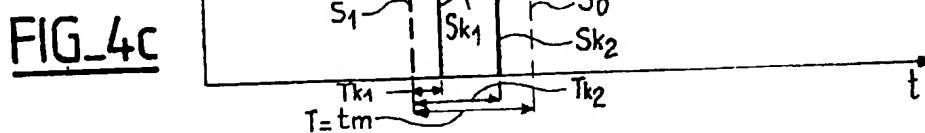
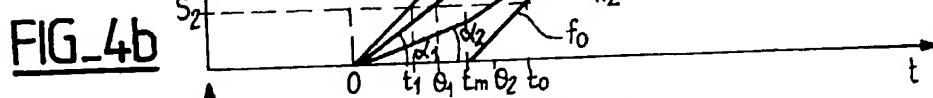
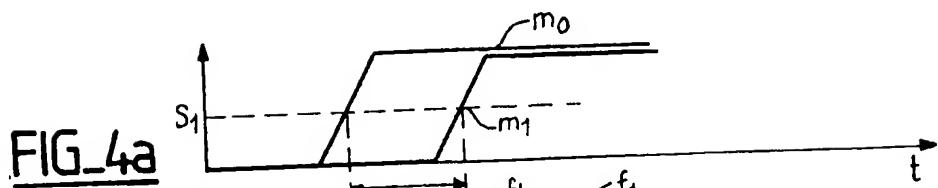
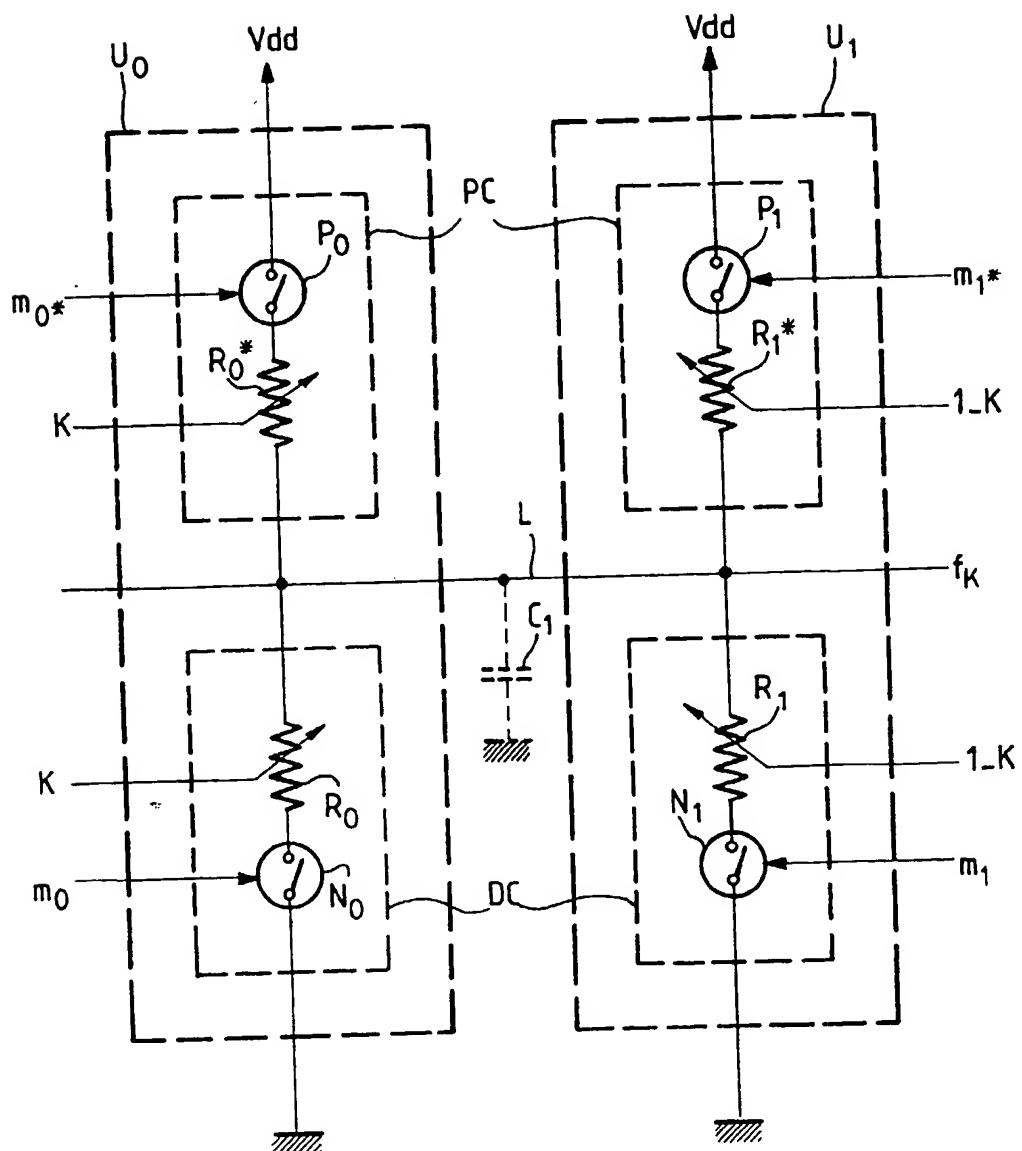
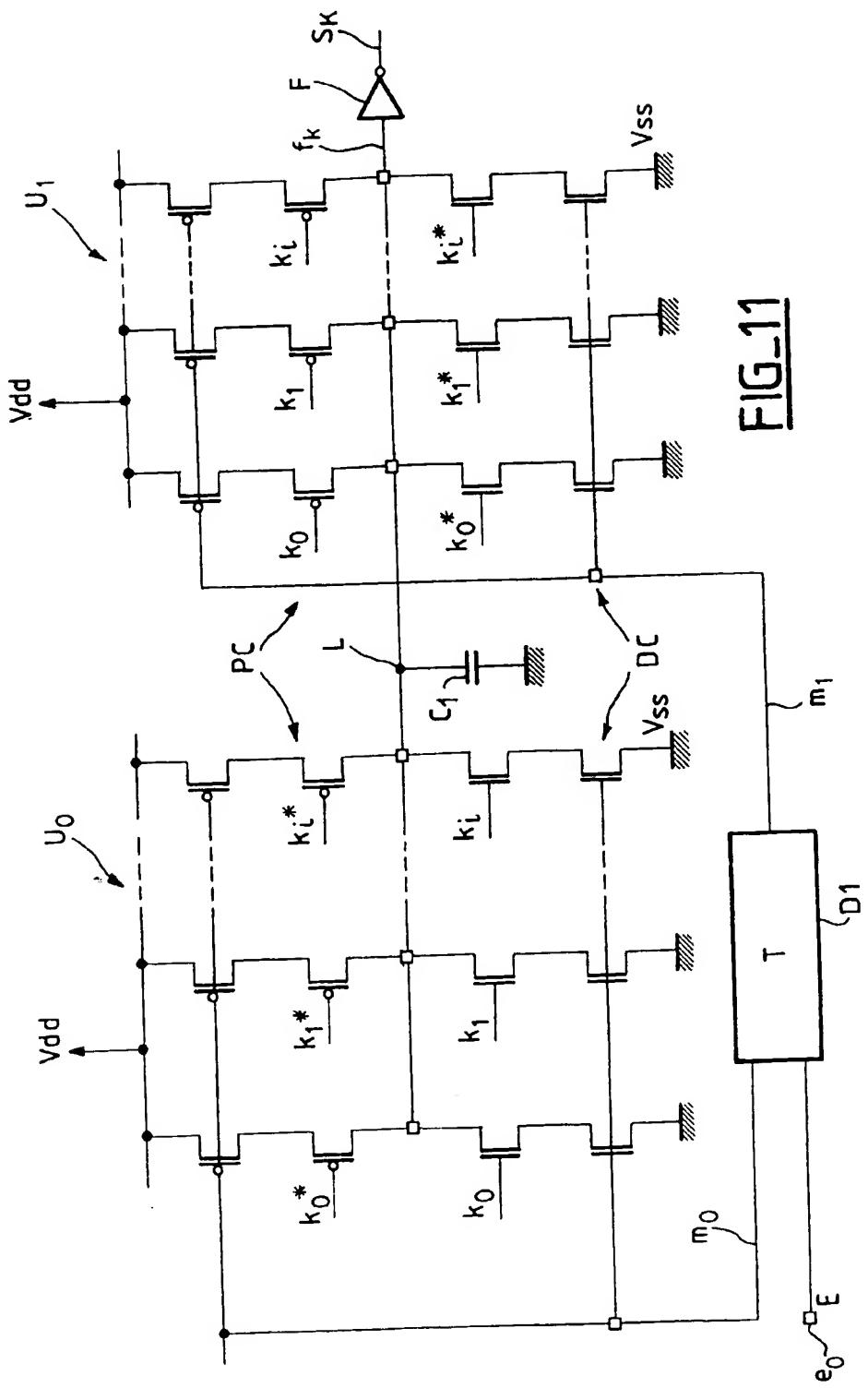
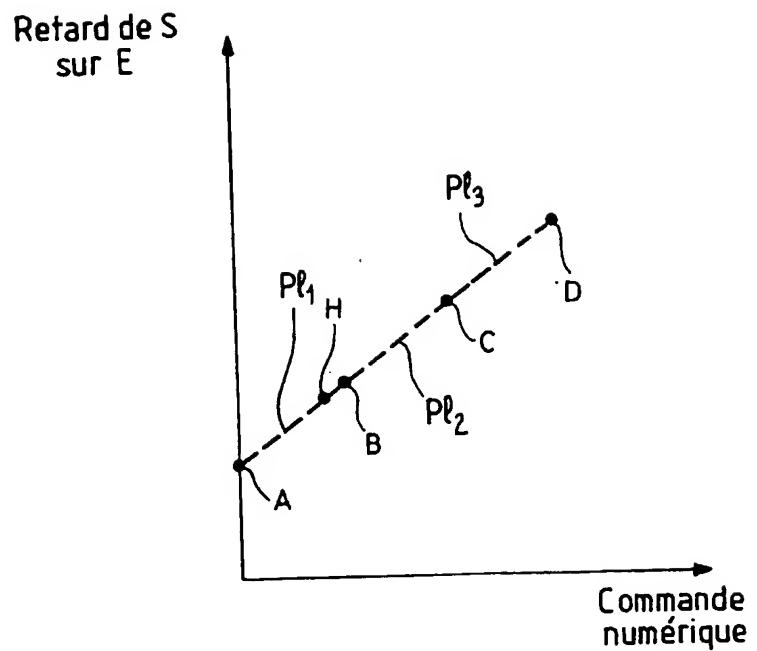


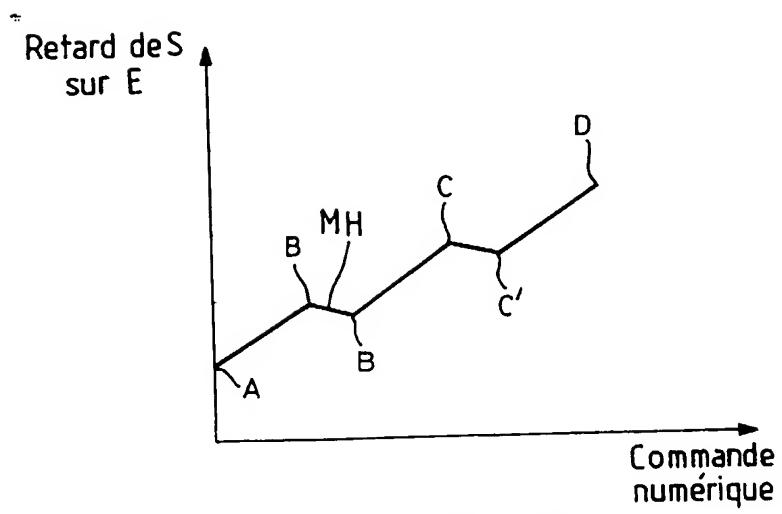
FIG-10





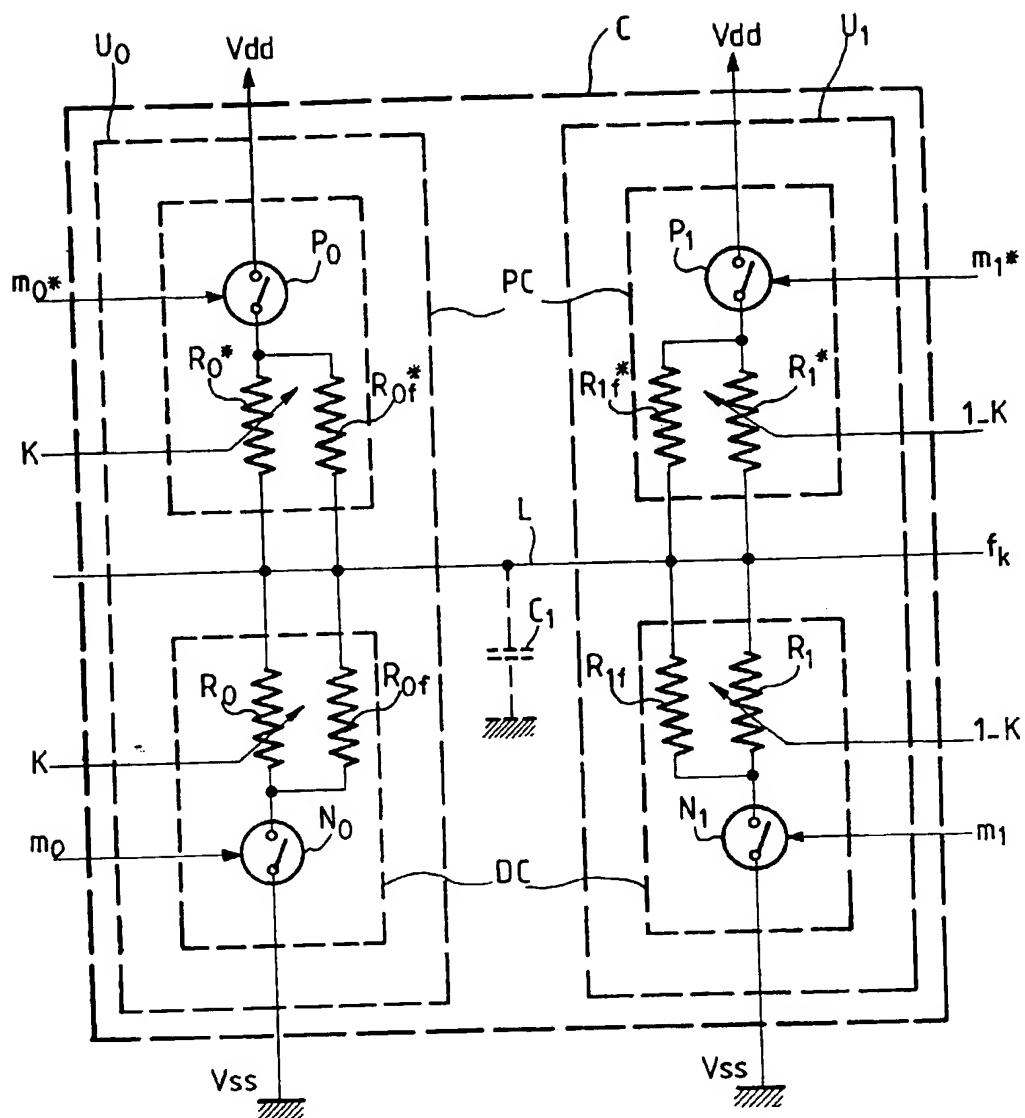


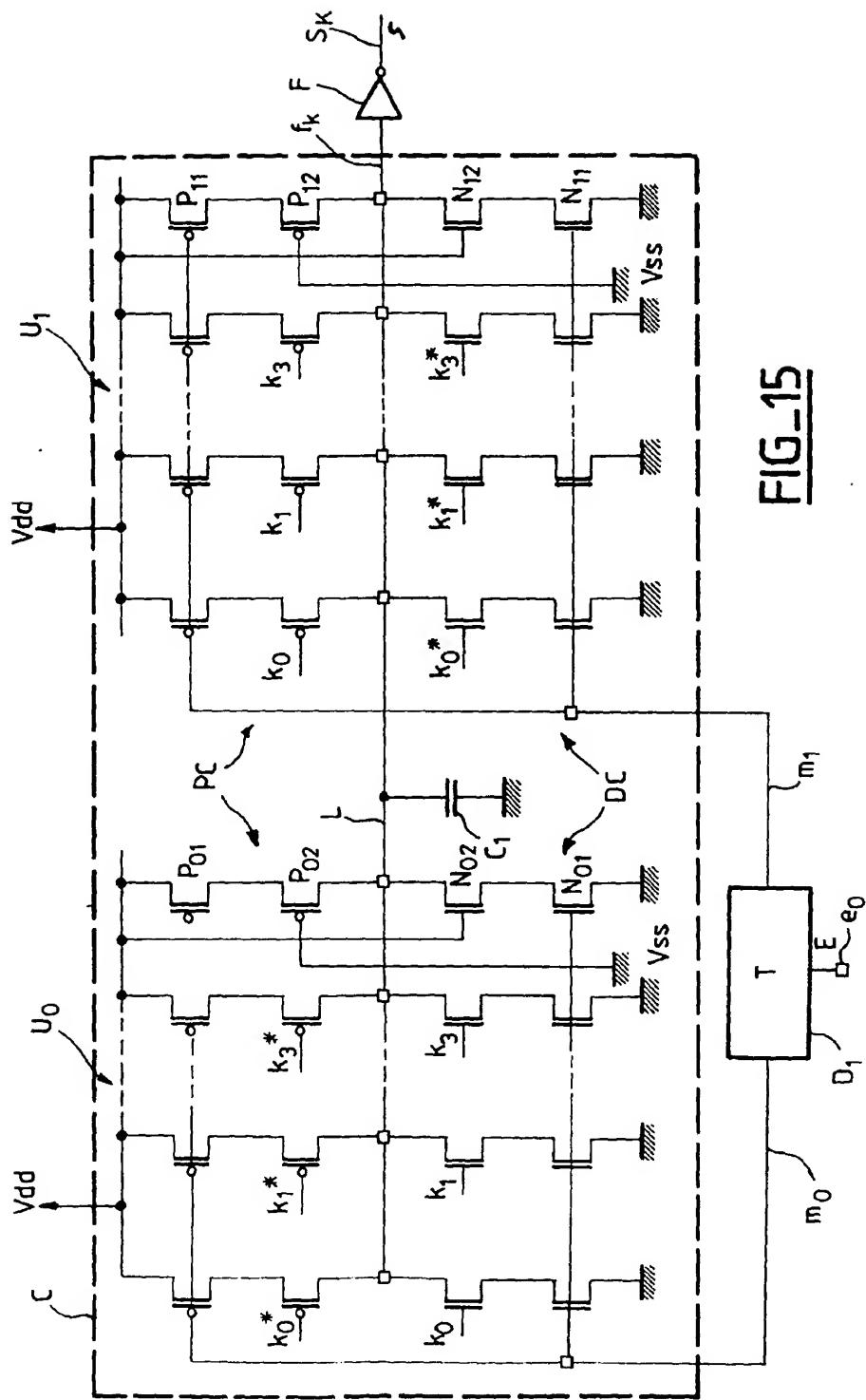
FIG\_12

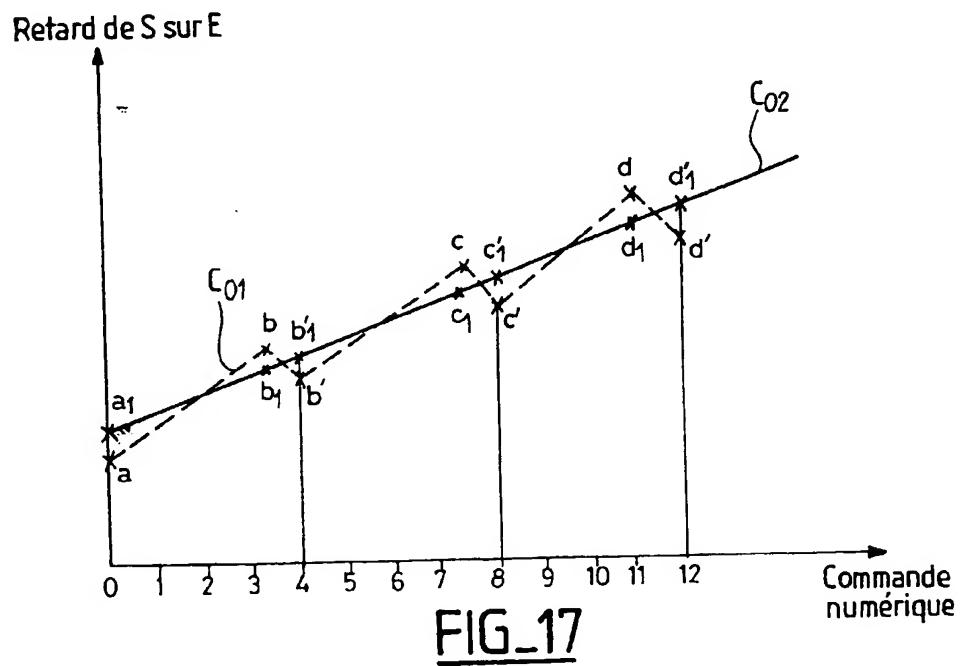
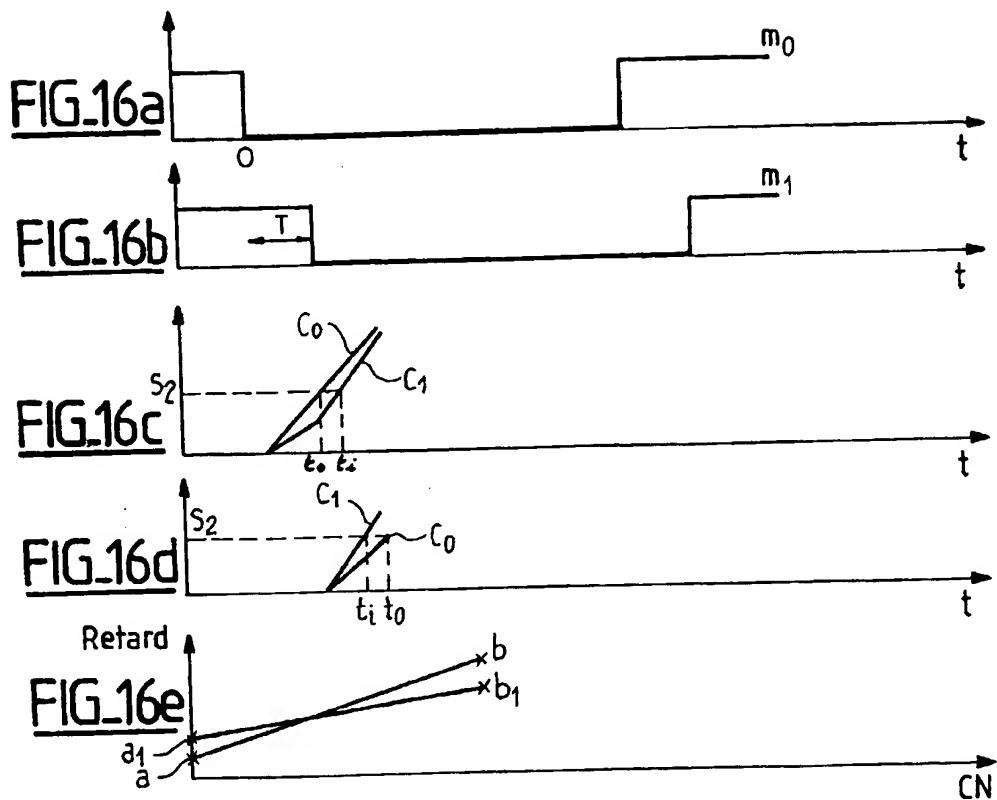


FIG\_13

FIG.14









Office européen  
des brevets

## RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande  
EP 98 40 2152

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.6)
X	EP 0 562 904 A (BULL SA) 29 septembre 1993	1-3,5	H03K5/13
A	* page 6, ligne 35 - page 7, ligne 33; figures 7,8 *	4,6	
Y	---	7	
Y	EP 0 606 979 A (NAT SEMICONDUCTOR CORP) 20 juillet 1994 * figure 5 *	7	
A	US 5 327 031 A (MARBOT ROLAND ET AL) 5 juillet 1994 ---		
A	EP 0 317 758 A (TEKTRONIX INC) 31 mai 1989 -----		
DOMAINES TECHNIQUES RECHERCHES (Int.Cl.6)			
H03K			
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche	Date d'achèvement de la recherche	Examinateur	
LA HAYE	8 décembre 1998	Segaert, P	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons R : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : anté-re-plan technologique O : divulgation non-sûre P : document intercalaire			